

## **JP2002124592**

Publication Title:

HIGH FREQUENCY DEVICE

Abstract:

Abstract of JP2002124592

**PROBLEM TO BE SOLVED:** To provide a high frequency device, with which unwanted resonance or oscillation is suppressed even in a conventional inexpensive ceramic wafer working process and reliability is improved when packaging a high frequency circuit. **SOLUTION:** In the high frequency device, which has a single layer or multilayer ceramic wafer 101 formed with the high frequency circuit, semiconductor chips 104a and 104b and a package at least, mounting the semiconductor chips on the surface of a dielectric substrate, a resistance layer 107 is formed on most of the surface of the dielectric substrate except for a circuit part and one part thereof is grounded.

Data supplied from the esp@cenet database - Worldwide

-----  
Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-124592

(P2002-124592A)

(43) 公開日 平成14年4月26日 (2002. 4. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 23/12	3 0 1	H 0 1 L 23/12	3 0 1 C 5 J 0 4 5
		23/02	H
23/02		H 0 1 P 5/08	L
H 0 1 P 5/08		H 0 1 Q 13/08	
H 0 1 Q 13/08		H 0 1 L 23/12	B
審査請求 未請求 請求項の数7 O L (全 7 頁)			

(21) 出願番号 特願2000-314835 (P2000-314835)

(22) 出願日 平成12年10月16日 (2000. 10. 16)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 山田 敦史

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74) 代理人 100102277

弁理士 佐々木 晴康 (外2名)

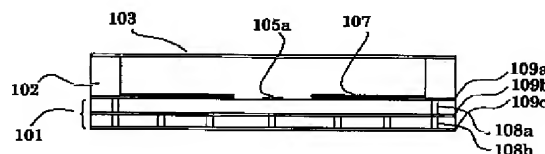
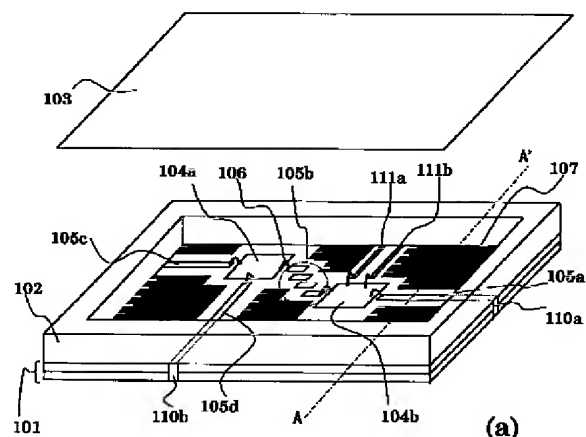
Fターム(参考) 5J045 AA05 DA08 EA07 FA02 HA03  
LA07

(54) 【発明の名称】 高周波装置

(57) 【要約】 (修正有)

【課題】 高周波回路のパッケージにおいて、従来からの安価なセラミック基板加工工程でも不要な共振や発振を抑制し、かつ信頼性の高い高周波装置を提供する。

【解決手段】 高周波回路が形成された単層あるいは多層セラミック基板101と、半導体チップ104a, 104bと、パッケージを少なくとも有し、該半導体チップが前記誘電体基板の表面に実装された高周波装置において、前記誘電体基板表面の回路部以外の大部分に抵抗層107を形成し、その一部を接地する。



(b)

## 【特許請求の範囲】

【請求項1】 表面に半導体チップを含む高周波回路が設けられた誘電体基板と、前記高周波回路を封止するためのパッケージとを有する高周波装置において、前記パッケージ内の前記高周波回路が設けられた領域を除く前記誘電体基板の表面の一部に、抵抗層が形成されていることを特徴とする高周波装置。

【請求項2】 前記抵抗層が形成される面積は、前記パッケージ内の前記誘電体基板の表面積のうち、30%以上70%以下であることを特徴とする請求項1記載の高周波装置。

【請求項3】 前記高周波回路が設けられた領域より、誘電体基板一層の厚さ相当の距離以上離れた前記誘電体基板の表面が、抵抗層で覆われていることを特徴とする請求項1記載の高周波装置。

【請求項4】 前記抵抗層が、厚膜ペースト材料により形成されていることを特徴とする請求項1記載の高周波装置。

【請求項5】 前記高周波回路に抵抗素子が含まれ、前記抵抗層が、前記高周波回路の一部を構成する前記抵抗素子と同一材料で形成されていることを特徴とする請求項1記載の高周波装置。

【請求項6】 前記抵抗層のシート抵抗値は $200 \sim 600 \Omega/\square$ であることを特徴とする請求項1記載の高周波装置。

【請求項7】 前記抵抗層の少なくとも一部は接地されていることを特徴とする請求項1に記載の高周波装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ミリ波マイクロ波通信用の高周波装置、とりわけその半導体パッケージに関するものである。

## 【0002】

【従来の技術】近年、情報処理装置の処理速度の向上や、画像処理装置の高解像化等に伴ない、マイクロ波やミリ波のような高周波での高速、大容量のパーソナル通信が注目されている。このような用途を実現するためには、低コスト、小型、軽量で量産性に優れた高周波パッケージが必要となる。特にミリ波帯においては、部品間の接続部における電力損失が大きくなるため、伝送線路や受動回路が形成された誘電体基板上に一つあるいは複数の半導体チップを直接実装し、パッケージにより気密封止する方法がしばしば用いられる。

【0003】しかしながら、このような方法を用いた場合、周波数が高くなるにつれて、パッケージと誘電体基板で形成されるキャビティの寸法と波長が同じオーダーとなるため、キャビティ内で不要な共振が起こり、高周波信号の伝送特性が劣化する。この共振を抑えるためには、従来から様々な方法が提案されている。

【0004】図6に特開平2-069967号公報に記

載の従来例を示す。金属製基体1上に、複数の素子を構成してなる高速・高周波集積回路を機能構成単位ごとに分割して収容するための複数の開口部を有する枠体12を設ける。この枠体12に囲われてキャビティ13～16が形成されている。そして枠体12の内部のキャビティの表面は、高周波入出力端子6、低周波入出力端子7バイアス電圧供給用端子8および接地用端子9の箇所を除いて金属層によってメタライズされている。キャビティの分割により、各キャビティでの共振周波数を、搭載する高速・高周波集積回路の動作周波数よりも十分高周波側に持って行くようにキャビティ寸法を設計でき、より高機能な高速・高周波集積用パッケージを得ることができる。

【0005】また、図7に特開平3-124050号公報に記載されている従来技術を示す。高周波素子用パッケージは高周波素子56を収容する箱状の絶縁基板52とその開孔59に取付けられる金属製のキャップ51で形成される。また、基板52の下部にはリード53が、外部にはリード53と導通する電極が形成され、更に素子56をリード53に導通させるボンディングワイヤ55が形成される。そしてキャップ51の裏面には電磁波吸収材57としてフェライト系の塗料が塗布される。このパッケージに素子56を収容すると放射された電磁波は吸収材57に吸収され素子56の高周波特性に悪影響を受けることなく、且つ素子56を外力や湿気から保護することができる。

【0006】以上に示すように、従来不要共振による伝送特性劣化を防ぐためには、パッケージそのものの形状を変えて使用する周波数帯域内での共振を防ぐか、あるいは電磁波を吸収する材料を新たにパッケージ内に配置することにより、不要な電磁波を吸収することによりなされていた。

## 【0007】

【発明が解決しようとする課題】しかし、パッケージの形状を変えて、共振周波数を使用周波数帯域外にずらせる場合、複雑な形状の筐体の加工費用がかかるという問題がある。

【0008】また、パッケージ内に電磁波吸収材料を配置する場合、新たな材料費と工程追加によるコストアップの問題や、電磁波吸収材料であるフェライト系の塗料がキャップから剥がれ落ち、半導体チップが汚染されたり、気密封止部に塗料が付着してピンホールが発生するなど、信頼性劣化の問題がある。

【0009】本発明の目的は、従来の安価なセラミック基板加工工程でも不要な共振や発振を抑制し、かつ信頼性の高い高周波装置を提供するものである。

## 【0010】

【課題を解決するための手段】本発明の高周波装置は、表面に半導体チップを含む高周波回路が設けられた誘電体基板と、前記高周波回路を封止するためのパッケージ

とを有する高周波装置において、前記パッケージ内の前記高周波回路が設けられた領域を除く前記誘電体基板の表面の一部に、抵抗層が形成されていることを特徴とする。

【0011】誘電体基板としては、アルミナやガラスセラミック等のセラミック基板を用いることが出来、その層数は単層であっても多層であってもよい。上記のように誘電体基板表面が抵抗層で覆われていることにより、キャビティのQ値が低下するため、不要な共振や発振を低減させることができる。

【0012】前記抵抗層が形成される面積は、前記パッケージ内の前記誘電体基板の表面のうち、30%以上70%以下であるのが好ましい。30%以下では抵抗層の効果が不充分であり、70%以上ではパッケージの寸法が大きくなりすぎコスト高になる。より好ましくは40%以上60%以下である。

【0013】また、前記高周波回路が設けられた領域より誘電体基板一層の厚さ相当の距離以上離れた前記誘電体基板の表面が、抵抗層で覆われているのが好ましい。前記抵抗層を、マイクロストリップ線路および半導体チップから誘電体基板一層の厚さ相当の距離以上離れた部分に配置しておけば、マイクロストリップ線路あるいは半導体チップの特性にほとんど悪影響を与えない。この距離が大きすぎると、誘電体基板面積が大きくなりコスト高になったり、抵抗層の面積を小さくすると共振抑制効果が低下するので、好ましくは、マイクロストリップ線路を形成している基板一層の厚さの3倍以下がよい。

【0014】また、本発明の高周波装置は、前記抵抗層が、厚膜ペースト材料により形成されていることを特徴とする。前記高周波回路に抵抗素子が含まれている場合には、前記抵抗層が、高周波回路中の抵抗素子と同一材料で形成されていてもよい。

【0015】厚膜ペースト材料としては、カーボンブラック系ペーストや酸化ルテニウム系ペーストを用いることが出来、従来からの厚膜印刷プロセスにより容易に抵抗層を形成することが出来る。また同一材料で形成することにより、抵抗層と抵抗素子とを同時に形成でき、新たな工程を追加する必要がない。

【0016】また、本発明の高周波装置は、前記抵抗層のシート抵抗値が $200 \sim 600 \Omega/\square$ であることを特徴とする。より好ましくは $300 \sim 400 \Omega/\square$ に設定するのがよい。これにより空間との整合がよくなり、パッケージ内での反射が低減するため、不要な共振や発振を低減させることができる。

【0017】また、本発明の高周波装置は、前記抵抗層の少なくとも一部が接地されていることを特徴とする。これにより、抵抗層の電位が安定し、パッケージ内での反射がより低減され、不要な共振や発振を低減させる上でより効果的である。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を、図面を参照して具体的に説明する。

【0019】（実施の形態1）図1に、本発明の高周波装置の構造例を示す。図1（a）は、その斜視図であり、図1（b）は、図1（a）におけるA-A'の断面図を示す。

【0020】セラミック基板101、壁102、蓋103、半導体チップ104a、104b等で構成される。半導体チップ104a、104b上には、単体トランジスタ、あるいはマイクロ波集積化回路が形成されている。また、セラミック基板101は、厚さ $150 \mu\text{m}$ の基板が2枚積層された2層構造であり、その表面には、マイクロストリップ線路105a、105b、105c、105dによる回路、およびバイアス線路111a、111bが形成されている。半導体チップ104a、104bとマイクロストリップ線路105a、105b、105c、105d、さらにバイアス線路111a、111bの間はワイヤー106等の接続部品により接続されている。以上のように、本実施の形態では、セラミック基板表面に、半導体チップ、マイクロストリップ線路、バイアス線路、接続用ワイヤーからなる高周波回路が形成されている。

【0021】さらに、セラミック基板表面は、上記高周波回路が設けられた領域から、誘電体基板一層の厚さ相当の距離以上、すなわち $150 \mu\text{m}$ 以上離れた部分が、抵抗層107で覆われている。高周波回路と抵抗層との距離が、マイクロストリップ線路が形成された基板の厚さ以上に離れていることにより、マイクロストリップ線路あるいは半導体チップ等高周波回路の特性にほとんど影響を与えない。

【0022】抵抗層107の一部は接地層109aと接触している。セラミック基板101は、ここでは2層基板の例を示しており、接地層109a、109b、109cが複数のスルーホール108で電氣的に接続されている。マイクロストリップ線路105a、105c、105d、およびバイアス線路111a、111bは、壁102の下を通して外部の接続用端子110a、110b等と接続されている。

【0023】セラミック基板の材料は、アルミナやガラスセラミック等で構成される。また、抵抗層107は、例えば、カーボンブラックをフェノールキシレン樹脂に分散したペーストやあるいは $\text{RuO}_2$ 系ペーストを印刷した後に焼成することにより形成する。さらに、セラミック基板としてガラスセラミック系材料を用いる場合の場合、ガラスセラミックの原料であるグリーンシート上に導体ペーストと $\text{RuO}_2$ 系ペーストを印刷し、グリーンシートを積層したのちに、同時焼成することにより形成することも可能である。

【0024】前記抵抗層のシート抵抗値は、 $200 \Omega/\square$ 以上、 $600 \Omega/\square$ 以下が望ましい。 $200 \Omega/\square$ 以

下になると、抵抗層は導体としての性質が顕著となり、電磁波の反射が起こる。一方、 $600\Omega/\square$ 以上になると、抵抗層は絶縁体としての性質が顕著となり、本発明の効果が小さくなる。さらに前記抵抗層のシート抵抗値は、 $300\Omega/\square$ 以上、 $400\Omega/\square$ 以下がより望ましい。真空あるいは大気中のシート抵抗は略 $370\Omega/\square$ であるので、前記抵抗層のシート抵抗値は、 $300\Omega/\square$ 以上、 $400\Omega/\square$ 以下の場合、空間との整合が取れるので、空間と前記抵抗層の界面での反射が著しく低減される。

【0025】本実施の形態では、シート抵抗値を $370\Omega/\square$ にした。また、前記抵抗層が形成される面積は、前記パッケージ内の高周波回路が設けられた前記誘電体基板の表面の面積に対して50%にした。

【0026】セラミック基板、枠、蓋で構成される空間は、空洞共振器として意図せずに共振する可能性があるが、本実施の形態の場合、セラミック基板表面の半分の部分を占める抵抗層により、共振器としてのQ値が、大幅に低減され、約10分の1に低下した。この結果、意図しない共振を防ぐことが可能となる。ここで、Q値とは、共振器に蓄えられるエネルギーと共振器中で失われるエネルギーの比を示す。

【0027】つまり、マイクロストリップ線路、ワイアー、半導体チップ等から放射した電磁波は、壁や蓋では反射されるが、大部分の電磁波は抵抗層で吸収され、その結果、不要な共振を防ぐことができる。

【0028】(実施の形態2) 図2に、本発明の高周波装置の別の構造例を示す。図2(a)は、その斜視図であり、図2(b)は、図2(a)におけるB-B'の断面図を示す。

【0029】実施の形態1と同様に、セラミック基板201、壁202、蓋203、半導体チップ204a、204b、マイクロストリップ線路205a、205b、205c、205dによる回路、ワイアー206等の接続部品で構成され、さらに、セラミック基板表面は、大部分が抵抗層207で覆われている。抵抗層207の一部は接地層209aと接触している。マイクロストリップ線路205c、205dおよびバイアス線路211a、211bは、壁202の下を通過して外部の接続用端子210等と接続されている。

【0030】実施の形態1と異なる点は、セラミック基板201が3層であり、該セラミック基板の裏面にアンテナ素子214を有する点である。マイクロストリップ線路205aとアンテナ給電線213は、スロット穴212を通して、電磁的に結合している。

【0031】図3は、セラミック基板を裏面から見た図である。ここでは、アンテナ素子214とアンテナ給電線213の位置関係を示すために、アンテナ給電線を点線で示しているが、実際は、図2(b)に示すように、アンテナ給電線はセラミック基板の内層に位置す

る。アンテナ給電線213は他端が分岐しており、それらの先端が各アンテナ素子214と電磁結合している。

【0032】(実施の形態3) 図4に、本発明の高周波装置の第3の構造例を示す。図4(a)は、その斜視図であり、図4(b)は、図4(a)におけるC-C'の断面図を示す。

【0033】実施の形態2と同様に、セラミック基板301、壁302、蓋303、半導体チップ304a、304b等で構成される。半導体チップ上304a、304bには、単体トランジスタ、あるいはマイクロ波集積化回路が形成されている。また、セラミック基板301表面には、マイクロストリップ線路305a、305b、305cによる回路が形成されている。半導体チップ304a、304bとマイクロストリップ線路305a、305b、305c、305dはワイアー306により接続されている。

【0034】さらに、セラミック基板表面は、大部分が抵抗層307で覆われている。抵抗層307の一部は接地層309aと接触している。マイクロストリップ線路305c、305d、およびバイアス線路311a、311bは、壁302の下を通過して外部の接続用端子310等と接続されている。マイクロストリップ線路305aとアンテナ給電線313は、スロット穴312を通して、電磁的に結合している。

【0035】実施の形態2と異なる点は、壁がセラミックの積層板315a、315bで形成され、壁の中に複数のスルーホール316a、316bが貫通している点である。複数のスルーホールにより、パッケージ内が電磁的にシールドされ、外部からのノイズを遮断することが可能となる。さらに、パッケージ内部のマイクロストリップ線路、ワイアー、半導体チップ、スロット穴等から放射した電磁波は、壁や蓋で反射されるが、大部分の電磁波は抵抗層で吸収され、不要な共振を防ぐことができる。また、複数のスルーホールと抵抗層および接地面により、パッケージ外部への不要放射が抑制される。

【0036】(実施の形態4) 図5に、本発明の高周波装置の第4の構造例を示す。図5(a)は、その斜視図であり、図5(b)は、図5(a)におけるD-D'の断面図を示す。

【0037】セラミック基板401、壁402、蓋403、半導体チップ404a、404b等で構成される。半導体チップ上404a、404bには、単体トランジスタ、あるいはマイクロ波集積化回路が形成されている。また、セラミック基板401表面には、マイクロストリップ線路405a、405b、405c、405dによる回路が形成されている。半導体チップ404a、404bとマイクロストリップ線路405a、405b、405c、405dはワイアー406により接続されている。

【0038】さらに、セラミック基板表面は、大部分が

抵抗層407で覆われている。抵抗層407の一部は接地層409aと接触している。セラミック基板401は、ここでは2層基板の例を示しており、接地層409a、409b、409cが複数のスルーホール408で電氣的に接続されている。セラミックの層の層数および構成は本実施例に示すものに限るものではなく、例えば裏面に平面アンテナが配置されていてもよい。さらにバイアス線路411aは抵抗素子420を有する。この抵抗素子420と抵抗層407は、厚膜印刷により同時に形成されている。マイクロストリップ線路405a、405c、405dおよびバイアス線路411a、411bは、壁402の下を通して外部の接続用端子410a、410b等と接続されている。セラミック基板の材料は、アルミナやガラスセラミック等で構成される。

【0039】また、抵抗素子420および抵抗層407は、例えば、カーボンブラックをフェノールキシレン樹脂に分散したペーストやあるいは $RuO_2$ 系ペーストを印刷した後に焼成することにより形成する。さらに、セラミック基板としてガラスセラミック系材料を用いる場合の場合、ガラスセラミックの原料であるグリーンシート上に導体ペーストと $RuO_2$ 系ペーストを印刷し、グリーンシートを積層したのちに、同時焼成することにより形成することも可能である。

【0040】セラミック基板、枠、蓋で構成される空間は、セラミック基板表面の抵抗層により、空洞共振器としてのQ値が大幅に低減され、この結果、意図しない共振を防ぐことが可能となる。

【0041】つまり、マイクロストリップ線路、ワイアー、半導体チップ等から放射した電磁波は、壁や蓋では反射されるが、大部分の電磁波は抵抗層で吸収され、その結果、不要な共振を防ぐことができる。また、バイアス回路に必要となる抵抗素子を形成する工程で、同時に抵抗層を形成することにより、共振対策用の新たな工程を追加することなく、従来からのセラミック基板加工工程を用いて、不要な共振および発振を抑制することができる。

【0042】

【発明の効果】本発明では、高周波パッケージのセラミック基板の大部分に、厚膜印刷工程で抵抗層を形成することにより、パッケージの形状を最適化したり、新たな材料を追加することなしに、不要な共振や発振を抑制することができる。

【0043】また、前記抵抗層を、高周波回路を設けた領域から誘電体基板一層の厚さ相当の距離以上離れた部分に配置しておけば、マイクロストリップ線路あるいは半導体チップの特性にほとんど悪影響を与えない。

【図面の簡単な説明】

【図1】本発明の高周波装置の第1の構造例を示す斜視図および断面図である。

【図2】本発明の高周波装置の第2の構造例を示す斜視図および断面図である。

【図3】図2の高周波装置を裏側から見た図である。

【図4】本発明の高周波装置の第3の構造例を示す斜視図および断面図である。

【図5】本発明の高周波装置の第4の構造例を示す斜視図および断面図である。

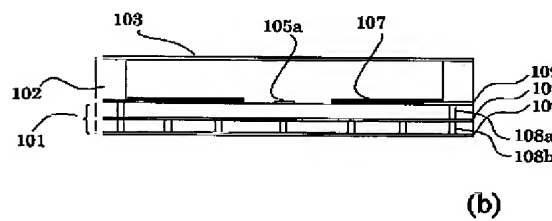
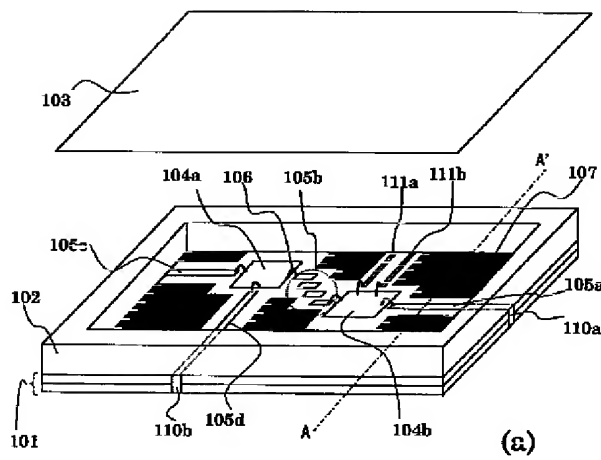
【図6】従来例の高周波装置を示す斜視図である。

【図7】別の従来例の高周波装置を示す断面図である。

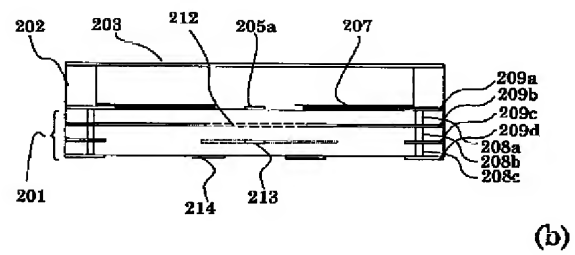
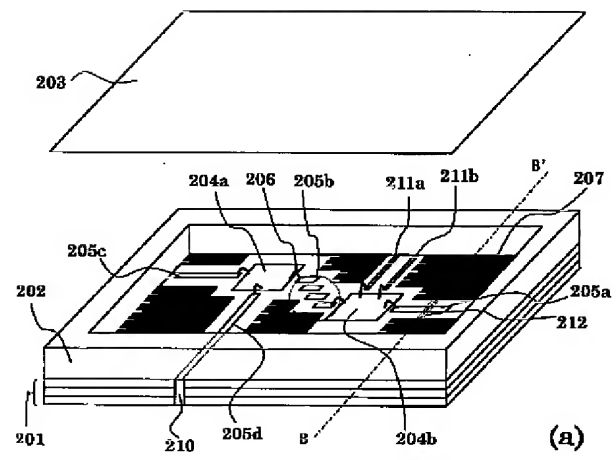
【符号の説明】

101、201、301、401…セラミック基板  
102、202、302、402…壁  
103、203、303、403…蓋  
104a、104b、204a、204b、304a、304b、404a、404b…半導体チップ  
105a、105b、105c、105d、205a、205b、205c、205d、305a、305b、305c、305d、405a、405b、405c、405d…マイクロストリップ線路  
106、206、306、406…ワイア  
107、207、307、407…抵抗層  
108a、108b、208a、208b、208c、308a、308b、308c、316a、316b、408a、408b…貫通孔  
109a、109b、109c、209a、209b、209c、209d、309a、309b、309c、309d、309e、309f…接地層  
110a、110b、210、310、410a、410b…接続用端子  
111a、111b、211a、211b、311a、311b、411a、411b…バイアス線路  
212、312…スロット孔  
213、313…給電線路  
214、314…アンテナ素子  
420…抵抗素子

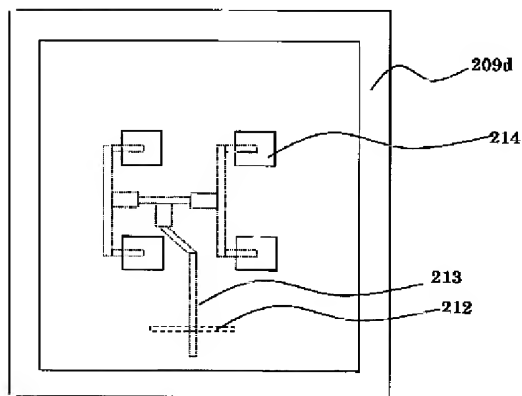
【図1】



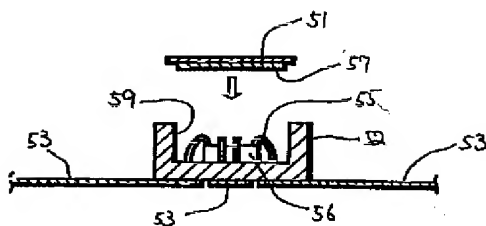
【図2】



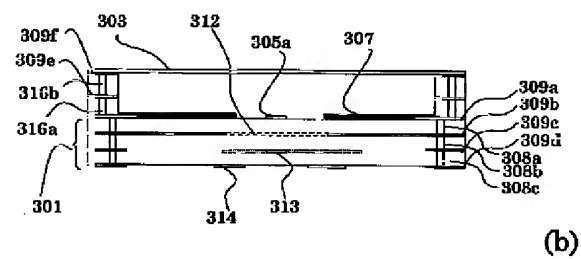
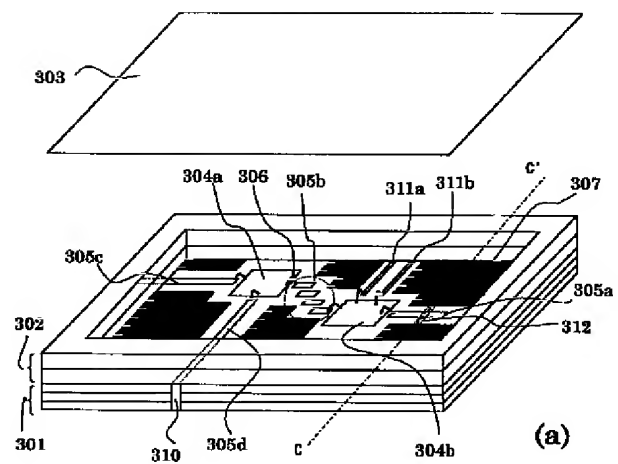
【図3】



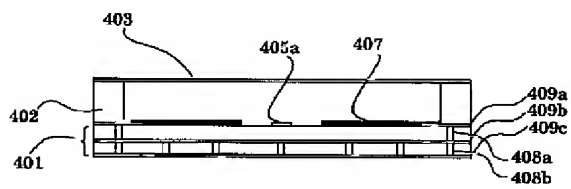
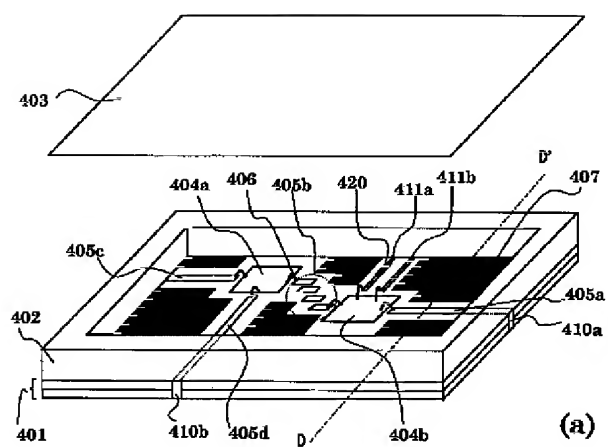
【図7】



【図4】



【図5】



(b)

【図6】

